

Docket No. 209211US0/btm



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yukihiko SHIRAKAWA

GAU: 1753

SERIAL NO: 09/866,732

EXAMINER:

FILED: May 30, 2001

FOR: THIN-FILM EL DEVICE, AND ITS FABRICATION PROCESS

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

RECEIVED  
DEC 12 2001  
TC 1700

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

JAPAN

2000-299352

September 29, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Norman F. Oblon

Registration No. 24,618



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)



日本国特許庁  
JAPAN PATENT OFFICE

F070805

09/866,732

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2000年 9月29日

出願番号  
Application Number:

特願2000-299352

出願人  
Applicant(s):

ティーディーケー株式会社

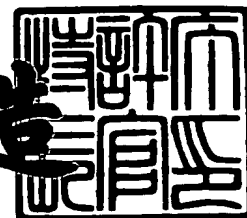
RECEIVED  
DEC 12 2001  
TECHNOLOGY CENTER 1700

RECEIVED  
DEC 13 2001  
TC 1700

2001年 6月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3060409

【書類名】 特許願

【整理番号】 P-02016

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H05B 33/22

【発明者】

    【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケ  
                                イ株式会社内

    【氏名】 白川 幸彦

【特許出願人】

    【識別番号】 000003067

    【住所又は居所】 東京都中央区日本橋一丁目13番1号

    【氏名又は名称】 ティーディーケイ株式会社

    【代表者】 澤部 肇

【手数料の表示】

    【予納台帳番号】 005153

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜 E L 素子及びその製造方法

【特許請求の範囲】

【請求項 1】 電気絶縁性を有する基板と前記基板上にパターンを有する電極層と前記電極層上に誘電体層と発光層及び透明電極層が積層された構造を少なくとも有する薄膜 E L 素子であって、前記誘電体層が溶液塗布焼成法を複数回繰り返すことにより多層状に形成され、前記多層状誘電体層の膜厚が前記電極層の膜厚の 4 倍以上であり、かつ、前記多層状誘電体層の膜厚が  $4\ \mu\text{m}$  以上  $16\ \mu\text{m}$  以下であることを特徴とする薄膜 E L 素子。

【請求項 2】 前記多層状誘電体層が溶液塗布焼成法を 3 回以上繰り返すことにより形成されていることを特徴とする請求項 1 記載の薄膜 E L 素子。

【請求項 3】 前記多層状誘電体層の一層当たりの膜厚が、前記電極層の膜厚の  $1/2$  以上であることを特徴とする請求項 1 または 2 記載の薄膜 E L 素子。

【請求項 4】 電気絶縁性を有する基板と前記基板上にパターンを有する電極層と前記電極層上に誘電体層と発光層及び透明電極層が積層された構造を少なくとも有する薄膜 E L 素子を製造するにあたり、前記電極層上に誘電体の前駆体溶液の塗布焼成を複数回繰り返すことにより前記誘電体層を多層状に形成することを特徴とする薄膜 E L 素子の製造方法。

【請求項 5】 前記誘電体の前駆体溶液の塗布焼成を 3 回以上繰り返すことにより形成することを特徴とする請求項 4 記載の薄膜 E L 素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 電気絶縁性を有する基板と前記基板上にパターンを有する電極層と前記電極層上に誘電体層と発光層及び透明電極層が積層された構造を少なくとも有する薄膜 E L 素子に関する。

【0002】

【従来の技術】

E L 素子は液晶ディスプレイ (LCD) や時計のバックライトとして実用化されている。E L 素子とは電界の印加によって物質が発光する現象、すなわち、エ

レクトロルミネセンス (EL) 現象を用いた素子である。EL素子には、粉末発光体を有機物やホウロウに分散させ、上下に電極層を設けた構造を持つ分散型EL素子と、電気絶縁性の基板上に2つの電極層と2つの薄膜絶縁体の間に挟む形で形成した薄膜発光体を用いた薄膜EL素子がある。また、それぞれについて、駆動方式により直流電圧駆動型、交流電圧駆動型がある。分散型EL素子は古くから知られており、製造が容易であるという利点があるが、輝度が低く寿命も短いのでその利用は限られていた。一方、薄膜EL素子は、高輝度、超寿命という特性を持つことから近年広く利用されている。

## 【0003】

図2に従来の薄膜EL素子として代表的な2重絶縁型薄膜EL素子の構造を示す。この薄膜EL素子は、液晶ディスプレイやPDP等に用いられている青板ガラスなどの透明基板(21)上に膜厚 $0.2\mu\text{m}\sim 1\mu\text{m}$ 程度のITOなどからなり所定のストライプ状のパターンを有する透明電極層(22)、薄膜透明第1絶縁体層(23)、 $0.2\mu\text{m}\sim 1\mu\text{m}$ 程度の膜厚の発光層(24)、薄膜透明第2絶縁体層(25)とが積層され、さらに透明電極層(22)と直交するようにストライプ状にパターニングされたA1薄膜等の電極層(26)が形成され、透明電極層(22)と電極層(26)で構成されるマトリックスで選択された特定の発光体に電圧を選択的に印加することにより特定画素の発光体を発光させ、その発光を基板側から取り出す。このような薄膜絶縁体層は発光層内を流れる電流を制限する機能を有し薄膜EL素子の絶縁破壊を抑えることが可能であり安定な発光特性が得られることに寄与し、この構造の薄膜EL素子は商業的にも広く実用化されている。

## 【0004】

上記の薄膜透明絶縁体層(23)、(25)は $\text{Y}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_3\text{N}_4$ 、 $\text{BaTiO}_3$ 、等の透明誘電体薄膜がスパッタリングや蒸着等により約 $0.1\sim 1\mu\text{m}$ 程度の膜厚でそれぞれ形成されている。

## 【0005】

発光体材料としては黄橙色発光を示すMnを添加したZnSが、成膜のしやすさ、発光特性の観点から主に用いられてきた。カラーディスプレイを作製するに

は、赤色、緑色、青色の3原色に発光する発光体材料の採用が不可欠である。これらの材料としては青色発光のCeを添加したSrSやTmを添加したZnS、赤色発光のSmを添加したZnSやEuを添加したCaS、緑色発光のTbを添加したZnSやCeを添加したCaSなどが知られている。

## 【0006】

また、月刊ディスプレイ'98 4月号「最近のディスプレイの技術動向」田中省作p1~10には、赤色発光を得る材料として、ZnS、Mn/CdSSe等、緑色発光を得る材料として、ZnS:TbOF、ZnS:Tb等、青色発光を得るための材料として、SrS:Cr、(SrS:Ce/ZnS)<sub>n</sub>、Ca<sub>2</sub>Ga<sub>2</sub>S<sub>4</sub>:Ce、Sr<sub>2</sub>Ga<sub>2</sub>S<sub>4</sub>:Ce等をの発光材料が開示されている。また、白色発光を得るものとして、SrS:Ce/ZnS:Mn等の発光材料が開示されている。

## 【0007】

さらに、上記材料の内、SrS:Ceを青色発光層を有する薄膜EL素子に用いることがIDW (International Display Workshop) '97 X.Wu "Multicolor Thin-Film Ceramic Hybrid EL Displays" p593 to 596に開示されている。さらに、この文献にはSrS:Ceの発光層を形成する場合には、H<sub>2</sub>S雰囲気下、エレクトロンビーム蒸着法により形成すると、高純度の発光層を得ることが可能であることが開示されている。

## 【0008】

しかしながらこのような薄膜EL素子には、未だ構造上の問題が残っている。すなわち、絶縁体層が薄膜で形成されているため、大面積のディスプレイとしたとき、透明電極のパターンエッジの段差部や、製造工程で発生するゴミ等による薄膜絶縁体の欠陥を皆無にすることが難しく、局所的な絶縁耐圧の低下により発光層の破壊が生じることである。このような欠陥は、ディスプレイデバイスとして致命的な問題となるため、薄膜EL素子は、液晶ディスプレイやプラズマディスプレイと比較して、大面積のディスプレイとして広く実用化するためには大きな問題となっていた。

## 【0009】

このような薄膜絶縁体の欠陥が生じるという問題を解決するため、特開平 7 - 5 0 1 9 7 公報や特公平 7 - 4 4 0 7 2 公報に基板として電気絶縁性のセラミック基板を用い、発光体下部の薄膜絶縁体のかわりに厚膜誘電体を用いた薄膜 E L 素子が開示されている。図 3 に示すようにこの薄膜 E L 素子は、セラミックなどの基板 (3 1) 上に、下部厚膜電極層 (3 2)、厚膜誘電体層 (3 3)、発光層 (3 4)、薄膜絶縁体層 (3 5)、上部透明電極層 (3 6) が積層された構造になっている。このように、図 2 に示した薄膜 E L 素子の構造とは異なり、発光体の発光を基板とは反対の上部側から取り出すため、透明電極層は上部に構成されている。

#### 【0 0 1 0】

この薄膜 E L 素子では厚膜誘電体層は数 1 0 (nm) ～数 1 0 0  $\mu$  m と薄膜絶縁体層の数 1 0 0 ～数 1 0 0 0 倍の厚さに形成される。そのため、電極の段差や製造工程のゴミ等によって形成されるピンホールに起因する絶縁破壊が非常に少なく、高い信頼性と製造時の高い歩留まりを得ることができるという利点を有している。また、この厚膜誘電体層を用いることによって発光層に印加される実効電圧が降下する問題を生じるが、誘電体層に高誘電率材料を用いることによりこの問題を改善している。

#### 【0 0 1 1】

しかしながら、厚膜誘電体層上に形成される発光層は数 1 0 0 nm と厚膜誘電体層の 1 / 1 0 0 程度の厚さしか有していない。このため、厚膜誘電体層は発光層の厚み以下のレベルでその表面が平滑でなければくてもはならないが、通常の厚膜工程で作製された誘電体表面を十分平滑にすることは困難であった。

#### 【0 0 1 2】

すなわち、厚膜誘電体層は本質的に粉体原料を用いたセラミックスで構成されるため、緻密に焼結させるためには通常 3 0 ～4 0 % 程度の体積収縮を生じるが通常のセラミックスが焼結時に 3 次元的に体積収縮して緻密化するのに対し、基板上に形成された厚膜セラミックスの場合、厚膜は基板に拘束されているため、基板の面内方向には収縮できず、厚さ方向に 1 次元的にしか体積収縮出来ない。このため厚膜誘電体層の焼結は不十分なまま本質的に多孔質体となってしまう

## 【 0 0 1 3 】

また、緻密化の過程が、一定の粒度分布を持った粉体のセラミック固相反応のため、異常結晶成長や巨大空孔の形成などの焼結異常点が形成されやすい。さらに厚膜の表面粗さは、多結晶焼結体の結晶粒サイズ以下にはならないため、上記のような欠陥が無くともその表面はサブ $\mu\text{m}$ サイズ以上の凹凸形状になる。

## 【 0 0 1 4 】

このように誘電体層の表面の欠陥、あるいは膜質が多孔質であることや凹凸形状であると、その上に蒸着法やスパッタリング法で形成される発光層が表面形状に追随して均一に形成する事が出来ない。このため、このような基板の非平坦部に形成された発光層部には効果的に電界を印加できないために、有効発光面積が減少することや、膜厚の局所的な不均一性から発光層が部分的に絶縁破壊して発光輝度の低下を生じる問題があった。さらに、膜厚が局所的に大きく変動するため、発光層に印加される電界強度が局所的に大きくばらつき明確な発光電圧敷居値が得られない問題があった。

## 【 0 0 1 5 】

このため、従来の製造プロセスでは厚膜誘電体層の表面の大きな凹凸を研磨加工により取り除いた後、さらに微細な凹凸をゾルゲル工程により取り除くと言った作業を必要としていた。

## 【 0 0 1 6 】

しかし、ディスプレイ用などの大面積の基板を研磨するのは技術的に困難でありコストを高める要因であった。そして、ゾルゲル工程を付加することはさらにコストを高める要因であった。また、厚膜誘電体層に異常焼結点が存在して研磨で取りきれない大きな凹凸が発生した場合には、このゾルゲル工程の付加でも対処ができず歩留まりを低下させる要因であった。このため、低コストで発光欠陥のない誘電体層を厚膜誘電体で形成することは極めて困難であった。

## 【 0 0 1 7 】

また、厚膜誘電体層はセラミックスの粉体材料焼結プロセスで形成されるため、その焼成温度が高い。すなわち、焼成温度としては通常のセラミックスと同様



に 8 0 0 ℃ 以上、通常は 8 5 0 ℃ を要し、特に緻密な厚膜焼結体を得るためには 9 0 0 ℃ 以上の焼成温度が必要となる。このような厚膜誘電体層を形成する基板としては、耐熱性及び誘電体層との反応性の問題からアルミナセラミックスやジルコニアセラミックス基板に限定され、安価なガラス基板を用いることは困難である。前記のセラミックス基板は、ディスプレイ用として用いる場合、大面積で良好な平滑性を有することが必要な条件であるが、このような条件の基板を得ることは技術的に極めて難しく、コストを高める要因であった。

#### 【 0 0 1 8 】

さらに、下部電極層として用いる金属膜もその耐熱性からパラジウムや白金等の高価な貴金属を使う必要があり、コストを高める要因であった。

#### 【 0 0 1 9 】

##### 【発明が解決しようとする課題】

本発明の目的は、従来の薄膜 E L 素子の問題、すなわち、絶縁体層が薄膜で形成されている場合、絶縁体層の欠陥に起因する局所的な絶縁耐圧の低下により発光層の破壊が生じディスプレイデバイスとして致命的な欠陥が発生すること、セラミックス厚膜誘電体層を用いる場合、誘電体層表面の欠陥や膜質が多孔質であることや凹凸形状に起因する発光特性の不良、厚膜誘電体層表面の研磨加工という困難な工程の付加による高コスト化とゾルゲル工程の付加によるさらなる高コスト化という問題、厚膜誘電体層の焼成温度に起因する基板と電極層材料の選択の制限という問題等を全て解決し、基板選択の制限がなく安価で大面積化が容易なガラス基板等が使用可能であり、簡便な方法により、電極層や工程のゴミ等による誘電体層の非平坦部を修正することで絶縁耐圧の低下がなく、さらに、誘電体層表面の平滑性が良好で、高い表示品質が得られる薄膜 E L 素子とその製造方法を高コスト化することなく提供することにある。

#### 【 0 0 2 0 】

##### 【課題を解決するための手段】

上記の課題は以下の ( 1 ) 乃至 ( 5 ) の本発明により解決される。

( 1 ) 電気絶縁性を有する基板と前記基板上にパターンを有する電極層と前記電極層上に誘電体層と発光層及び透明電極層が積層された構造を少なくとも有する

薄膜 E L 素子であって、前記誘電体層が溶液塗布焼成法を複数回繰り返すことにより多層状に形成され、前記多層状誘電体層の膜厚が前記電極層の膜厚の 4 倍以上であり、かつ、前記多層状誘電体層の膜厚が  $4 \mu\text{m}$  以上  $16 \mu\text{m}$  以下であることを特徴とする薄膜 E L 素子。

(2) 前記多層状誘電体層が溶液塗布焼成法を 3 回以上繰り返すことにより形成されていることを特徴とする (1) に記載の薄膜 E L 素子。

(3) 前記多層状誘電体層の一層当たりの膜厚が、前記電極層の膜厚の  $1/2$  以上であることを特徴とする (1) または (2) に記載の薄膜 E L 素子。

(4) 電気絶縁性を有する基板と前記基板上にパターンを有する電極層と前記電極層上に誘電体層と発光層及び透明電極層が積層された構造を少なくとも有する薄膜 E L 素子を製造するにあたり、前記電極層上に誘電体の前駆体溶液の塗布焼成を複数回繰り返すことにより前記誘電体層を多層状に形成することを特徴とする薄膜 E L 素子の製造方法。

(5) 前記誘電体の前駆体溶液の塗布焼成を 3 回以上繰り返すことにより形成することを特徴とする (4) に記載の薄膜 E L 素子の製造方法。

#### 【0021】

以上の本発明により高い表示品質が得られる薄膜 E L 素子とその製造方法を高コスト化することなく得ることができる。

#### 【0022】

##### 【発明の実施の形態】

本発明の薄膜 E L 素子は、電気絶縁性を有する基板上にパターンを有する電極層が形成され、さらに誘電体層として溶液塗布焼成法を複数回繰り返すことにより多層状に形成された後、発光層及び透明電極層が積層され、前記多層状誘電体層の膜厚が前記電極層の膜厚の 4 倍以上であり、かつ、前記多層状誘電体層の膜厚が  $4 \mu\text{m}$  以上  $16 \mu\text{m}$  以下としたものである。

#### 【0023】

図 1 は本発明の薄膜 E L 素子の構造図である。本発明の薄膜 E L 素子は電気絶縁性を有する基板 (11) 上に、所定のパターンを有する下部電極層 (12) と、その上に溶液塗布焼成法を複数回繰り返すことによって形成された多層状誘電

体層（13）と、さらに誘電体層上に発光層（14）、薄膜絶縁体層（15）、透明電極層（16）が積層された構造である。尚、絶縁体層（15）は省略しても良い。下部電極層と上部透明電極層はそれぞれストライプ状に形成され、互いに直交する方向に配置される。この下部電極層と上部透明電極層をそれぞれ選択し、両電極の直交部の発光層に選択的に電圧を印加することによって特定画素の発光を得ることが可能である。

## 【0024】

基板は電気絶縁性を有しその上に形成される下部電極層、誘電体層を汚染することなく、所定の耐熱強度を維持できるもので有れば特に限定されるものではない。

## 【0025】

具体的な材料としては、アルミナ（ $\text{Al}_2\text{O}_3$ ）、石英ガラス（ $\text{SiO}_2$ ）、マグネシア（ $\text{MgO}$ ）、フォスフェイト（ $2\text{MgO} \cdot \text{SiO}_2$ ）、ステアタイト（ $\text{MgO} \cdot \text{SiO}_2$ ）、ムライト（ $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ ）、ベリリア（ $\text{BeO}$ ）、ジルコニア（ $\text{ZrO}_2$ ）、窒化アルミニウム（ $\text{AlN}$ ）、窒化シリコン（ $\text{SiN}$ ）、炭化シリコン（ $\text{SiC}$ ）等のセラミック基板や結晶化ガラスや、高耐熱ガラス、青板ガラス等を用いてもよく、またハウロウ処理を行った金属基板等も使用可能である。

## 【0026】

これらの中でも特に結晶化ガラスや、高耐熱ガラス、また、形成する誘電体層の焼成温度との整合が取れば青板ガラスがその低コスト性、表面性、平坦性、大面積基板作製の容易さから好ましい。

## 【0027】

下部電極層は、複数のストライプ状のパターンを有するように形成され、その線幅が1画素の幅となりライン間のスペースは非発光領域となるため極力ライン間のスペースを小さくしておくことが望ましく、目的とするディスプレイの解像度にもよるが、例えば線幅200～500 $\mu\text{m}$ 、スペース20 $\mu\text{m}$ 程度が必要である。

## 【0028】

下部電極層の材質としては、高い導電性が得られ、かつ誘電体層形成時にダメージを受けず、さらに誘電体層や発光層と反応性が低い材質が望ましい。このような下部電極層材料としては、Au、Pt、Pd、Ir、Ag等の貴金属や、Au-Pd、Au-Pt、Ag-Pd、Ag-Pt等の貴金属合金や、Ag-Pd-Cu等の貴金属を主成分とし非金属元素を添加した電極材料が誘電体層焼成時の酸化雰囲気に対する耐酸化性が容易に得られるため望ましい。また、ITOやSnO<sub>2</sub>（ネサ膜）、ZnO-Al等の酸化物導電性材料を用いてもよく、あるいは、Ni、Cu等の卑金属を用い、誘電体層を焼成するときの酸素分圧をこれらの非金属が酸化されない範囲に設定して用いることもできる。下部電極層の形成方法としては、スパッタ法、蒸着法、めっき法等の公知の技術を用いればよい。

## 【0029】

誘電体層は、高誘電率で高耐圧の材質で構成することが望ましい。ここで、誘電体層と発光層の誘電率をそれぞれ $\epsilon_1$ 、 $\epsilon_2$ とし、膜厚を $d_1$ 、 $d_2$ とし、上部電極層と下部電極層間に電圧 $V_0$ を印加した場合、発光層に印加される電圧 $V_2$ は次式で示される。

$$V_2/V_0 = (\epsilon_1 \times d_2) / (\epsilon_1 \times d_2 + \epsilon_2 \times d_1) \quad \text{-----} \quad (1)$$

発光層の比誘電率を $\epsilon_2 = 10$ 、膜厚を $d_2 = 1 \mu\text{m}$ と仮定した場合、

$$V_2/V_0 = \epsilon_1 / (\epsilon_1 + 10 \times d_1) \quad \text{-----} \quad (2)$$

発光層に実効的にかかる電圧は少なくとも印加電圧の50%以上、好ましくは80%以上、さらに好ましくは90%以上であることから上式より

$$50\% \text{ 以上の場合、} \epsilon_1 \geq 10 \times d_1 \quad \text{-----} \quad (3)$$

$$80\% \text{ 以上の場合、} \epsilon_1 \geq 40 \times d_1 \quad \text{-----} \quad (4)$$

$$90\% \text{ 以上の場合、} \epsilon_1 \geq 90 \times d_1 \quad \text{-----} \quad (5)$$

すなわち、誘電体層の比誘電率は少なくとも単位を $\mu\text{m}$ で表したときの膜厚の少なくとも10倍以上、好ましくは40倍以上、より好ましくは90倍以上が必要となる。例えば、誘電体層の膜厚が $5 \mu\text{m}$ であれば、その比誘電率は50～200～450以上が必要である。

## 【0030】

このような高誘電率材料としては、例えば、 $\text{BaTiO}_3$ 、 $(\text{Ba}_x\text{Ca}_{1-x})\text{TiO}_3$ 、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 $\text{PbTiO}_3$ 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})_3$ 等のペロブスカイト構造を持った(強)誘電体材料や、 $\text{Pb}(\text{Mg}_{1/3}\text{Ni}_{2/3})\text{O}_3$ 等に代表される複合ペロブスカイトリラクサー型強誘電体材料や、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等に代表されるピスマス層状化合物、 $(\text{Sr}_x\text{Ba}_{1-x})\text{Nb}_2\text{O}_6$ 、 $\text{PbNbO}_6$ 等に代表されるタングステンブロンズ型強誘電体材料が用いられる。この中でも、 $\text{BaTiO}_3$ やPZT等のペロブスカイト構造を持った強誘電体材料が、誘電率が高く比較的低温での合成が容易であるため好ましい。

### 【0031】

前記誘電体層はゾルゲル法やMOD法等の溶液塗布焼成法により形成される。ゾルゲル法とは、一般には溶媒に溶かした金属アルコキシドに所定量の水を加え、加水分解、重縮合反応させてできるM-O-M結合を持つゾルの前駆体溶液を基板に塗布し焼成させることによって膜形成をする方法である。また、MOD (Metallo-Organic Decomposition) 法とは、M-O結合を持つカルボン酸の金属塩などを有機溶媒に溶かして前駆体溶液を形成し、基板に塗布し焼成させることによって膜形成をする方法である。ここで前駆体溶液とはゾルゲル法、MOD法などの膜形成法において原料化合物が溶媒に溶解されて生成する中間化合物を含む溶液を指す。

### 【0032】

ゾルゲル法とMOD法は、完全に別個の方法ではなく、相互に組み合わせて用いることが一般的である。例えばPZTの膜を形成する際、Pb源として酢酸鉛を用い、Ti、Zr源としてアルコキシドを用いて溶液を調整することが一般的である。また、ゾルゲル法とMOD法の二つの方法を総称してゾルゲル法と呼ぶ場合もあるが、いずれの場合も前駆体溶液を基板に塗布し、焼成する事によって膜を形成することから本明細書では溶液塗布焼成法とする。また、サブ $\mu\text{m}$ の誘電体粒子と誘電体の前駆体溶液を混合した溶液であっても本発明の誘電体の前駆体溶液に含まれ、その溶液を基板に塗布焼成する場合であっても本発明の溶液塗布焼成法に含まれる。

## 【0033】

溶液塗布焼成法は、ゾルゲル法、MOD法いずれの場合も、誘電体を構成する元素がサブ $\mu\text{m}$ 以下のオーダーで均一に混合されるため、厚膜法による誘電体形成のような本質的にセラミックス粉体焼結を用いた手法と比較して、極めて低温で誘電体を合成することが可能であることである。

## 【0034】

例えば、 $\text{BaTiO}_3$ やPZT等のペロブスカイト強誘電体を例にとると、通常のセラミックス粉体焼結法では900～1000℃以上の高温プロセスが必要であるが、溶液塗布焼成法を用いれば、500～700℃程度の低温で形成可能である

このように、溶液塗布焼成法により誘電体層を形成することにより、従来の厚膜法では耐熱性の観点で使用不可能であった高耐熱ガラスや結晶化ガラス、また青板ガラス等の使用が可能になる。

## 【0035】

本発明の薄膜EL素子は誘電体層を溶液塗布焼成法を複数回繰り返すことにより多層状に形成する。次に図4を用いて本発明の誘電体層の形成工程を説明する。図4Aは基板(41)上にストライプ状にパターニングされた下部電極層(42)が形成され誘電体層第1層(43-1)が形成されている。溶液塗布焼成法による膜形成法は段差に対しても均一に膜が形成されること(ステップカバレッジ性)が無いため下部電極のパターンエッジ部近傍(44)は膜厚が薄く形成される。また、基板上には製造工程に起因するゴミ(45)が存在している。このゴミの近傍も誘電体層の膜厚が薄く、またこのようなゴミが焼成前後に剥離することにより、ピンホール(46)が形成される。そして、溶液塗布後の焼成時に、誘電体層に何らかの原因でクラック(47)が形成されることがあり、この部分はピンホールとなって誘電体層の絶縁不良点となる。このようなクラックは特に金属電極層上で発生しやすく、これは主に誘電体層焼成時に金属電極層の再結晶や微少なヒルロックの形成により誘電体層に過大な応力がかかることが原因の一つと考えられる。このような誘電体層の欠陥は誘電体層の絶縁耐圧低下の原因となる。図4Bは、誘電体層が溶液塗布焼成法を4回繰り返すことにより多層状

に形成されている。誘電体層第1層形成時に発生した下部電極のパターンエッジ部近傍、ゴミ近傍、ピンホール、クラックは誘電体層第2層(43-2)によって埋められ誘電体層の表面の欠陥が改善されるため、絶縁耐圧は著しく改善される。誘電体層第2層の形成時にも、工程中のゴミ付着によるピンホール等が発生する可能性はあるが、この第2層の欠陥(48)が第1層の欠陥と同位置に発生する可能性は極めて低いため、これらの欠陥部分によって発生する誘電体層第1層、第2層の膜厚低下部は少なくとも誘電体層1層分の厚さを確保できる。

## 【0036】

また、誘電体層第2層(43-2)に発生するクラックに関しても、特に発生原因が下部金属電極層に起因する誘電体層への応力である場合、第1層の誘電体層が下部金属電極層のクランプ層として働き、第2層以降への応力伝達を緩和するため第2層以降のクラック発生確率は著しく減少し、この種の欠陥の積層による誘電体層の絶縁耐圧低下を回避することが可能となる。

## 【0037】

図4Bでは、さらに誘電体第3層(44-3)、第4層(44-4)が形成されている。このように溶液塗布焼成法を繰り返すことにより、下部電極のパターンエッジ部近傍や、誘電体層中の欠陥による誘電体層の膜厚減少に伴う絶縁耐圧欠陥部を完全に抑圧することが可能となる。

## 【0038】

また、多層状誘電体層を構成する各層の膜厚を等しく形成しても良く、あるいは各層を異なった膜厚で形成しても良い。そして、この各層は同一の材質から構成されても良く、あるいは異なった材質から構成されても良い。

## 【0039】

さらに、本発明の作用を明確に説明するため、誘電体層を本発明による溶液塗布焼成法を用いて多層状誘電体層に形成せず、スパッタリング法により形成した場合について電子顕微鏡写真を用いて説明する。図5は3 $\mu$ mの下部電極層を形成し、パターニングした基板上に、スパッタリング法でBaTiO<sub>3</sub>薄膜を8 $\mu$ m形成した場合の電子顕微鏡写真である。図5より明らかなように、スパッタリング法によって誘電体層を形成した場合、誘電体膜の表面は基板の段差を強調す

る形で形成されるため、誘電体表面は著しい凹凸とオーバーハングが発生する。このような表面形状の凹凸現象は、スパッタリング法以外にも蒸着法で誘電体層を形成した場合も同じように認められている。このような誘電体層上には、EL発光層のような機能性薄膜を形成し使用することは全く不可能である。このように、従来のスパッタリング法等の手法で形成した誘電体層では不可能であった下部電極層の段差やゴミ等による欠陥を本発明においては溶液塗布焼成法を複数回繰り返すことによって完全に被覆し、誘電体層表面が平坦化される。

## 【0040】

本発明者による詳細な実験の結果、上記の効果は、以下の条件において特に効果が認められた。

## 【0041】

第1に、誘電体層が溶液塗布焼成法を少なくとも複数回繰り返すことによって形成されることである。この効果は上記に記したとおりである。特に繰り返し回数を3回以上とした場合、単層の誘電体層にゴミ、クラック等の原因によって発生した欠陥部の膜厚が、少なくとも多層状誘電体層の平均膜厚の $2/3$ 以上にする事が可能である。通常誘電体層の絶縁耐圧の設計値としては、予定印加電圧の50%程度の余裕を見込むため、上記の欠陥によって発生した局所的な耐圧低下部でも絶縁破壊等の問題を回避することが可能となる。

## 【0042】

第2に誘電体層の膜厚を、下部電極層の膜厚の4倍以上とすることである。本発明者の実験的検討から、下部電極のパターンエッジ部に形成される誘電体層膜厚の減少部分は、下部電極層膜厚が誘電体層の平均膜厚の $1/4$ 以下となった場合ほぼ平均膜厚の $2/3$ 以上とすることが可能であることが判明した。また、このときこの段差部の平坦化も進み、十分になめらかであることが分かった。このような平坦化効果により、誘電体層の上部に形成される薄膜発光層も均一な形成が可能になる。

## 【0043】

第3に、多層状誘電体層の膜厚を $4\mu\text{m}$ 以上、 $16\mu\text{m}$ 以下とすることである。本発明者の検討によれば、通常のクリーンルーム内での工程で発生するゴミ等



のパーティクルサイズは0.1～2  $\mu\text{m}$ 、特に1  $\mu\text{m}$ 前後に集中しており、平均膜厚を4  $\mu\text{m}$ 以上、好ましくは6  $\mu\text{m}$ 以上とすることでゴミ等の欠陥による誘電体層欠陥部の絶縁耐圧を平均耐圧の2/3以上とすることが可能である。

## 【0044】

膜厚が16  $\mu\text{m}$ 以上になると溶液塗布焼成法の繰り返し回数が多くなりすぎるためコストの増大となる。さらに、式(3)～(5)に示されるように、誘電体層の膜厚を大きくすると誘電体層の比誘電率自体を大きくする必要があり、例えば膜厚が16  $\mu\text{m}$ 以上の場合、必要とされる誘電率は、160～640～1440以上となる。しかし、一般に溶液塗布焼成法を用いて誘電率1500以上の誘電体層を形成することは技術的困難が大きい。また、本発明では耐圧が高く欠陥の無い誘電体層が容易に形成可能であるため、16  $\mu\text{m}$ 以上の誘電体層を形成する必要が無い。このため、膜厚の上限は16  $\mu\text{m}$ 以下、好ましくは12  $\mu\text{m}$ 以下である。

## 【0045】

第4に、前記誘電体層の1層当たりの厚さを、前記下部電極層の膜厚の1/2以上とすることである。本発明者の検討によれば、誘電体層の1層当たりの厚さが電極層の膜厚の1/2以下の場合、パターンエッジ近傍で誘電体層のクラックが発生しやすく、さらにこのクラックが次の誘電体層を形成しても修復されにくく、また次の誘電体層にも新たなクラックが形成されやすいことが分かった。

## 【0046】

また、クラックが発生しない場合でも、誘電体層による下部電極のパターンエッジ部の被覆性が、この誘電体層の1層当たり膜厚が電極層の1/2以下の場合と以上の場合で、積層回数を調整して同一の最終的な膜厚を構成しても、1層当たり膜厚が電極層の1/2以下の場合電極パターンエッジ部の被覆性が著しく悪いことが分かった。

## 【0047】

この現象は恐らく1層当たりの誘電体層膜厚が小さい場合、パターンエッジ部の誘電体層が極めて薄くなるために誘電体層焼成時の熱ストレスによって下部電極層に発生する応力が影響していると考えられる。

## 【 0 0 4 8 】

発光層の材料としては特に限定されないが、前述したMnをドーブしたZnS等の公知の材料が使用できる。これらの中でも、SrS:Ceは優れた特性を得られることから特に好ましい。発光層の膜厚としては、特に制限されるものではないが、厚すぎると駆動電圧が上昇し、薄すぎると発光効率が低下する。具体的には、発光体材料にもよるが、好ましくは100～2000nm程度である。

## 【 0 0 4 9 】

発光層の形成方法は、気相堆積法を用いることが可能である。気相堆積法としては、スパッタ法や蒸着法等の物理的気相堆積法やCVD法等の化学的気相堆積法が好ましい。また、前述したように特にSrS:Ceの発光層を形成する場合には、H<sub>2</sub>S雰囲気下、エレクトロンビーム蒸着法により形成すると、高純度の発光層を得ることが可能である。

## 【 0 0 5 0 】

発光層の形成後、好ましくは加熱処理を行う。加熱処理は、基板側から電極層、誘電体層、発光層と積層した後に行っても良いし、基板側から電極層、誘電体層、発光層、絶縁体層、あるいはこれに電極層を形成した後に加熱処理（キャプアニール）を行っても良い。熱処理の温度は形成する発光層によるが、好ましくは300℃以上、より好ましくは、400以上、また、誘電体層の焼成温度以下、処理時間は10～600分である。加熱処理時の雰囲気としては、発光層の組成、形成条件によりAir、N<sub>2</sub>、Ar、He等を選べばよい。

## 【 0 0 5 1 】

発光層上に形成される絶縁体層は、前記したように省略しても良いがこれを有することが好ましい。この絶縁体層は抵抗率として、10<sup>8</sup>Ωcm以上、特に10<sup>10</sup>～10<sup>18</sup>Ωcm程度が好ましい。また、比較的高い誘電率を有する物質であることが好ましく、その誘電率εとしては、好ましくはε=3～1000程度である。この絶縁体層の構成材料としては、例えば酸化シリコン(SiO<sub>2</sub>)、窒化シリコン(SiN)、酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)、チタン酸ストロンチウム(SrTiO<sub>3</sub>)、酸化イットリウム(Y<sub>2</sub>O<sub>3</sub>)、チタン酸バリウム(BaTiO<sub>3</sub>)、チタン酸鉛(PbTiO<sub>3</sub>)、ジルコニア(ZrO<sub>2</sub>)、シリコンオキ

シナイトライド ( $\text{SiON}$ )、アルミナ ( $\text{Al}_2\text{O}_3$ )、ニオブ酸鉛 ( $\text{PbNb}_2\text{O}_6$ ) 等を用いることができる。

【0052】

絶縁体層を形成する方法としては、上記発光層と同様である。この場合の絶縁体層の膜厚としては、好ましくは  $50 \sim 1000 \text{ nm}$ 、特に  $50 \sim 500 \text{ nm}$  程度である。

【0053】

透明電極層は膜厚  $0.2 \mu\text{m} \sim 1 \mu\text{m}$  の  $\text{ITO}$  や  $\text{SnO}_2$  (ネサ膜)、 $\text{ZnO}-\text{Al}$  等の酸化物導電性材料等が用いられる。透明電極層の形成方法としては、スパッタ法のほか蒸着法等の公知の技術を用いればよい。

【0054】

なお、上記した薄膜 EL 素子は単一発光層のみを有するが、本発明の薄膜 EL 素子は、このような構成に限定されるものではなく、膜厚方向に発光層を複数積層しても良いし、マトリックス状にそれぞれ種類の異なる発光層 (画素) を組み合わせる平面的に配置するような構成としても良い。

【0055】

また、本発明の薄膜 EL 素子は電子顕微鏡による観察で容易に識別される。すなわち、本発明において溶液塗布焼成法を複数回繰り返すことにより多層状に形成された誘電体層は他の方法により形成された誘電体層とは誘電体層が多層状に形成されていることのみならず膜質の違いも観察される。さらに、誘電体層表面の平滑性が極めて良好であるという特徴がある。

【0056】

上記したように本発明の薄膜 EL 素子は、発光層が積層される誘電体層表面の平滑性が極めて良好であり、絶縁耐圧が高くかつ欠陥がないため、高性能、高精細のディスプレイを容易に構成することもできる。また、製造工程が容易であり、製造コストを低く抑えることが可能である。

【0057】

【実施例】

以下に本発明の実施例を具体的に示しさらに詳細に説明する。

## (実施例 1)

99.6%純度のアルミナ基板を表面研磨し、この基板上にスパッタリング法により微量添加物を添加したAu薄膜を1 $\mu$ mの厚さに形成し、700℃で熱処理を行って安定化した。このAu薄膜をフォトリソ法を用いて幅300 $\mu$ m、スペース30 $\mu$ mの多数のストライプ状にパターンニングした。

## 【0058】

この基板に溶液塗布焼成法を用いて誘電体層を形成した。溶液塗布焼成法による誘電体層の形成方法として、以下の方法で作製したゾルゲル液をPZT前駆体溶液として基板にスピンコーティング法にて塗布し、700℃15分間焼成する事を所定回繰り返した。

## 【0059】

基本的なゾルゲル液の作製方法は、8.49gの酢酸鉛三水和物と4.17gの1.3プロパンジオールを約2時間、加熱攪拌し、透明な溶液を得た。これとは別に3.70gのジルコニウム・ノルマルプロポキシド70wt%1-プロパノール溶液と1.58gのアセチルアセトンを経過乾燥窒素雰囲気中で30分間加熱攪拌し、これに3.14gのチタニウム・ジイソプロポキシド・ビスアセチルアセトネート75wt%2-プロパノール溶液と2.32gの1.3プロパンジオールを加え、更に2時間加熱攪拌した。これら2つの溶液を80℃で混合し、乾燥窒素雰囲気中で2時間加熱攪拌し、褐色透明な溶液を作製した。この溶液を130℃で数分間保持することにより副生成物を取り除き、更に3時間加熱攪拌することによりPZT前駆体溶液を作製した。

## 【0060】

ゾルゲル液の粘度調整は、n-プロパノールを用いて希釈することにより行った。単層当たりの誘電体層の膜厚は、スピンコーティング条件及びゾルゲル液の粘度を調整することにより、1層0.4 $\mu$ m、0.7 $\mu$ mとした。上記ゾルゲル液をPZT前駆体溶液としてスピンコーティング及び焼成を繰り返すことにより表1に示す誘電体層を形成した。

## 【0061】

【表 1】

試料	全膜厚 ( $\mu\text{m}$ )	膜構造	耐圧 (V)	誘電率	電子顕微鏡写真	備考
11	2.0	0.4×5	0	—	図6	比較例
12	2.1	0.7×3	30	500	図7	比較例
13	3.5	0.7×5	140	520	—	比較例
14	4.2	0.7×6	220	540	図8	本発明
15	4.4	0.4×11	170	530	—	本発明
16	7.0	0.7×10	320	600	—	本発明
17	14.0	0.7×20	430	620	—	本発明
18	16.4	0.7×22	450	620	—	比較例

## 【0062】

表1中の膜構造とは膜厚×積層回数を表す。例えば試料14の膜構造は0.7  $\mu\text{m}$ を6層積層した構造である。表1から明らかなように、多層状誘電体層の膜厚が4  $\mu\text{m}$ 未満の場合は耐圧が低く、薄膜EL素子に適用するには不十分である。また、1層当たりの膜厚が電極層膜厚(1  $\mu\text{m}$ )の1/2未満である0.4  $\mu\text{m}$ の場合、耐圧が著しく下がり良好な結果が得られなかった。

## 【0063】

図6、7、8は、それぞれ試料11、12、14の誘電体層表面の電子顕微鏡写真である。図より明らかなように、一層あたり0.4  $\mu\text{m}$ 厚で全膜厚が2  $\mu\text{m}$ の誘電体層を形成した試料11は誘電体層のクラックが埋めきれずに表面に存在するが、一層あたり0.7  $\mu\text{m}$ 厚の試料12は試料11とほぼ同様な全膜厚が2.1  $\mu\text{m}$ であっても表面のクラックの痕跡は残るものの完全に封じられている。さらに、全膜厚が4.2  $\mu\text{m}$ の試料14はクラックの痕跡が完全に消えている。このように、電極膜厚に対し1層当たりの誘電体層の膜厚が1/2未満であると、電極層応力による誘電体層のクラック発生が十分に抑圧できず耐圧が得られない傾向がある。

## 【0064】

また、下部電極膜厚に対し多層状誘電体層の膜厚が4倍以上無いと耐圧が十分に得られない事がわかる。

## 【0065】

表1の試料13～18と同様の構成として形成された誘電体層にを200℃に加熱した状態でMnをドーブしたZnS蒸着源を用い、ZnS発光体薄膜を厚さ0.8  $\mu\text{m}$ となるよう蒸着法により形成した後、真空中600℃で10分間熱

処理した。

【0066】

次に、第2絶縁体層として $\text{Si}_3\text{N}_4$ 薄膜と上部電極層としてITO薄膜をスパッタリング法により順次形成することにより薄膜EL素子とした。その際、上部電極層のITO薄膜はメタルマスクを成膜時に用いる事により幅1mmのストライプ上にパターニングした。発光特性は、得られた素子構造の下部電極、上部透明電極から電極を引き出し、1kHzのパルス幅50 $\mu\text{s}$ にて発光輝度が飽和するまでの電界を印加して測定した。また、それぞれの薄膜EL素子を所定の個数ずつ作製し評価した。

【0067】

その結果、試料13を用いた薄膜EL素子は、発光敷居値付近(140~160V)の電圧を印加した時点で絶縁破壊を起こし破壊した。また、試料15は作製した試料の約半数において最高輝度に達する前に絶縁破壊を起こした。この原因として耐圧が低かったことが考えられる。これに対し、試料14, 16, 17, 18上に形成された薄膜EL素子は何れも最高輝度6000~10000 $\text{cd}/\text{m}^2$ が得られ、かつその時の印加電圧でも絶縁破壊が発生しなかった。

(実施例2)

ソーダライムベース高耐熱ガラス基板(軟化点820℃)を用い、この基板上にスパッタリング法により薄膜下部電極層として $\text{Ag}/\text{Pd}/\text{Cu}$ 薄膜を0.5 $\mu\text{m}$ の厚さに形成し、700℃で熱処理を行って安定化した。この薄膜下部電極層をフォトリソ法を用いて幅500 $\mu\text{m}$ 、スペース50 $\mu\text{m}$ の多数のストライプ状にパターニングした。

【0068】

この基板に溶液塗布焼成法を用いて誘電体層を形成した。溶液塗布焼成法による誘電体層の形成方法として、以下の方法で形成したゾルゲル液を $\text{BaTiO}_3$ 前駆体溶液として基板にディップコーティング法にて塗布し、最高温度700℃にて10分間焼成する事を所定回繰り返した。このとき1層当たりの誘電体層の膜厚は1.5 $\mu\text{m}$ であった。

【0069】

B a T i O<sub>3</sub>前駆体溶液の作製方法としては、分子量 6 3 万の P V P (ポリビニルピロリドン) を 2-プロパノールに完全に溶解し、酢酸及びチタンテトライソプロポキシドを攪拌しながら添加し、透明な溶液を得た。この溶液に純水と酢酸バリウムの混合溶液を攪拌しながら滴下し、この状態で攪拌を続けながら所定時間のエージングを行った。各出発原料の組成比は、酢酸バリウム：チタンテトライソプロポキシド：P V P：酢酸：純水：2-プロパノール＝1：1：0.5：9：20：20である。これにより B a T i O<sub>3</sub>前駆体溶液が得られた。

## 【0070】

上記 B a T i O<sub>3</sub>前駆体溶液の塗布と焼成を繰り返すことにより表 2 に示す誘電体層を形成した。

## 【0071】

【表 2】

試料	全膜厚 (μm)	膜構造	耐圧 (V)	誘電率	備考
21	1.5	1.5×1	0	—	比較例
22	3.0	1.5×2	80	350	比較例
23	4.5	1.5×3	250	370	本発明
24	7.5	1.5×5	350	380	本発明
25	12.0	1.5×8	390	380	本発明
26	15.0	1.5×10	450	390	本発明
27	19.5	1.5×13	460	400	比較例

## 【0072】

表 2 中の膜構造とは表 1 と同様に膜厚×積層回数を表す。表 2 から明らかなように、この場合も、電極膜厚に対し、多層状誘電体層の膜厚が 4 倍以上ないと耐圧が得られず、また多層状誘電体層の膜厚が 4 μm 以下の場合には耐圧が低く、E L 用基板としては不十分である。

## 【0073】

このようにして形成された試料 2 2～2 7 に、実施例 1 と同様に発光層、絶縁体層、上部透明電極を形成し、発光特性を評価した。

## 【0074】

その結果、試料 2 2 を用いた薄膜 E L 素子は、発光敷居値付近 (1 4 0～1 6 0 V) の電圧を印加した時点で絶縁破壊を起こし破壊した。基板 2 3～2 6 上に形成された薄膜 E L 素子はどれも最高輝度 6 0 0 0～1 0 0 0 0 c d / m<sup>2</sup>が

得られ絶縁破壊が発生しなかった。また、基板 27 に形成した薄膜 EL 素子は、評価に用いた電源の最大印加電圧である 350 V を印加しても最大輝度を得られなかった。

【0075】

【発明の効果】

上記のように本発明の効果は明らかである。

【0076】

本発明によれば、従来の薄膜 EL 素子の問題とされた絶縁体層が薄膜で形成されている場合、絶縁体層の欠陥に起因する局所的な絶縁耐圧の低下により発光層の破壊が生じディスプレイデバイスとして致命的な欠陥が発生すること、セラミックス厚膜誘電体層を用いる場合、誘電体層表面の欠陥や膜質が多孔質であることや凹凸形状に起因する発光特性の不良、厚膜誘電体層表面の研磨加工という困難な工程の付加による高コスト化とゾルゲル工程の付加によるさらなる高コスト化、厚膜誘電体層の焼成温度に起因する基板と電極層材料の選択の制限を解決し、基板選択の制限がなく安価で大面積化が容易なガラス基板等が使用可能であり、簡便な方法により、電極層や工程のゴミ等による誘電体層の非平坦部を修正することで絶縁耐圧の低下がなく、さらに、誘電体層表面の平滑性が良好で、高い表示品質が得られる薄膜 EL 素子とその製造方法を高コスト化することなく提供することができる。

【図面の簡単な説明】

【図 1】

本発明の薄膜 EL 素子の構造を示す断面図である。

【図 2】

従来の薄膜 EL 素子の構造を示す断面図である。

【図 3】

従来の薄膜 EL 素子の構造を示す断面図である。

【図 4】

本発明の薄膜 EL 素子の絶縁体層を形成する工程を示す断面図である。

【図 5】



従来の薄膜 E L 素子の断面の電子顕微鏡写真である。

【図 6】

比較例による薄膜 E L 素子の絶縁体層の表面の電子顕微鏡写真である。

【図 7】

本発明による薄膜 E L 素子の絶縁体層の表面の電子顕微鏡写真である。

【図 8】

本発明による薄膜 E L 素子の絶縁体層の表面の電子顕微鏡写真である。

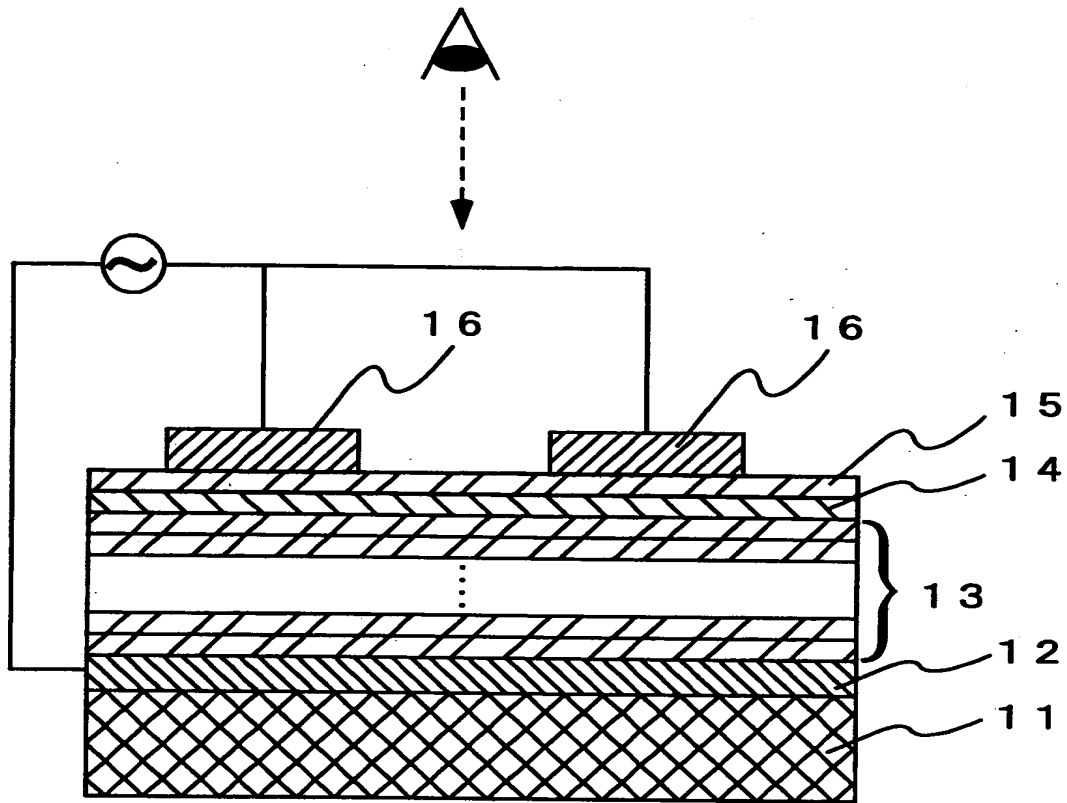
【符号の説明】

- 1 1 基板
- 1 2 下部電極層
- 1 3 多層状誘電体層
- 1 4 発光層
- 1 5 薄膜絶縁体層
- 1 6 透明電極層
- 2 1 透明基板
- 2 2 透明電極層
- 2 3 薄膜透明第 1 絶縁体層
- 2 4 発光層
- 2 5 薄膜透明第 2 絶縁体層
- 2 6 電極層
- 3 1 基板
- 3 2 下部厚膜電極
- 3 3 厚膜誘電体層
- 3 4 発光層
- 3 5 薄膜絶縁体層
- 3 6 上部透明電極層
- 4 1 基板
- 4 2 下部電極層
- 4 3 - 1 誘電体層第 1 層

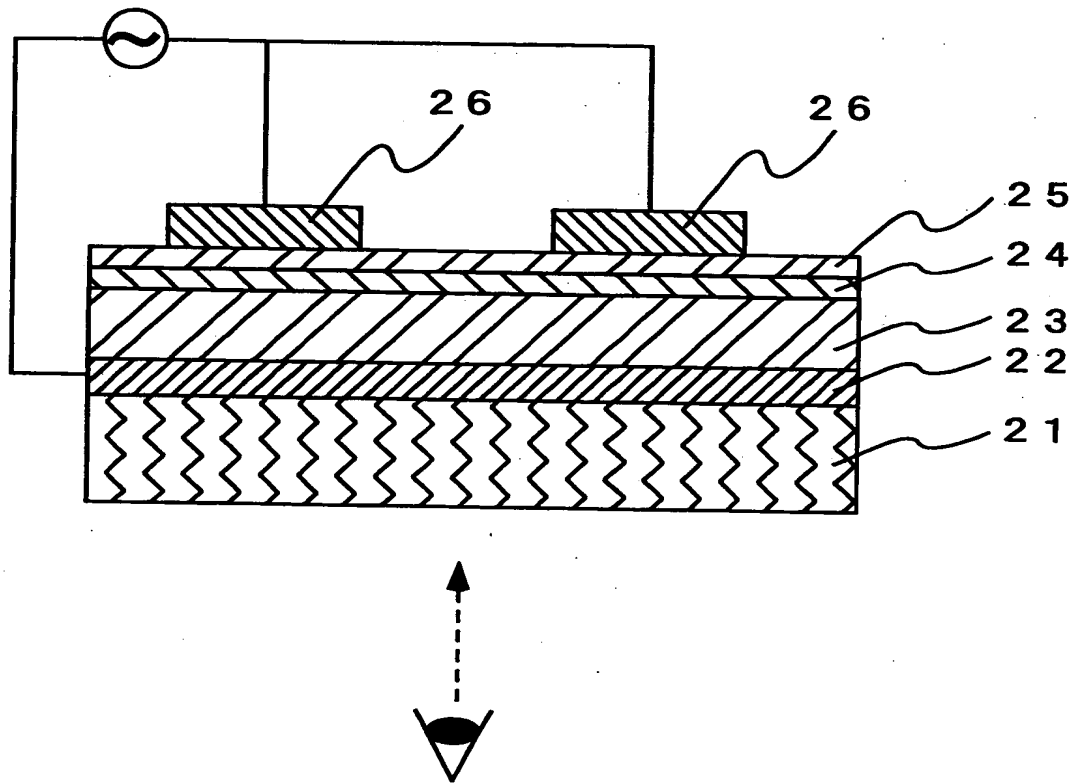
- 4 3 - 2 誘電体層第 2 層
- 4 3 - 3 誘電体層第 3 層
- 4 3 - 4 誘電体層第 4 層
- 4 4 パターンエッジ部近傍
- 4 5 ゴミ
- 4 6 ピンホール
- 4 7 クラック
- 4 8 欠陥

【書類名】 図面

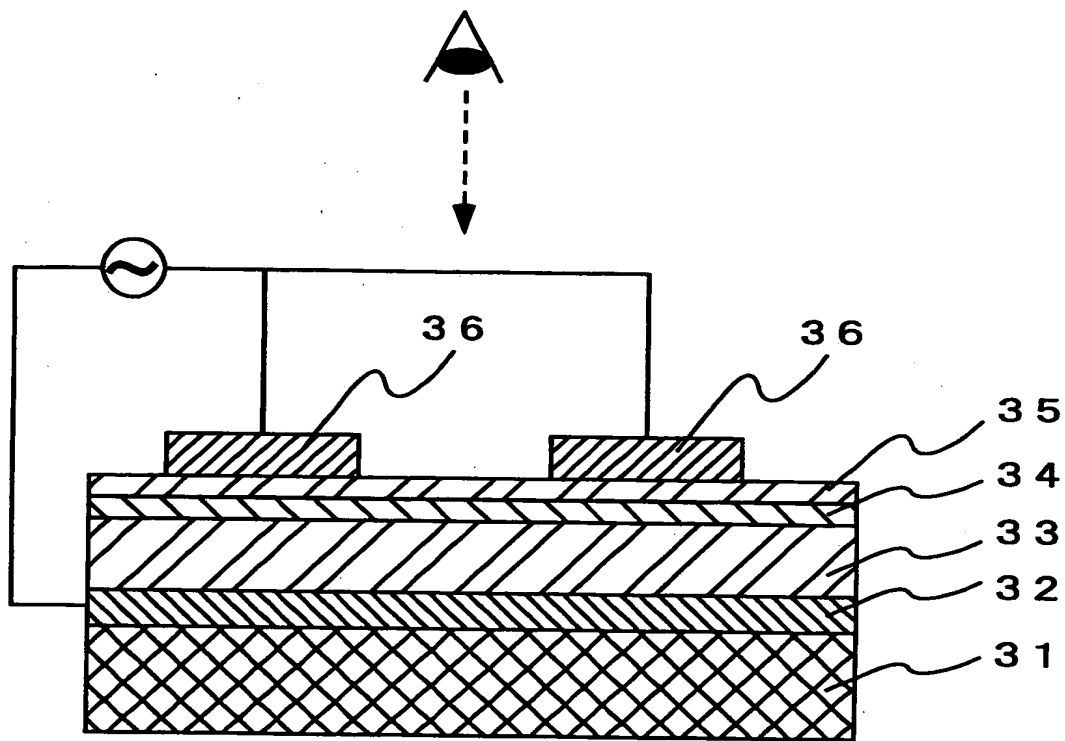
【図 1】



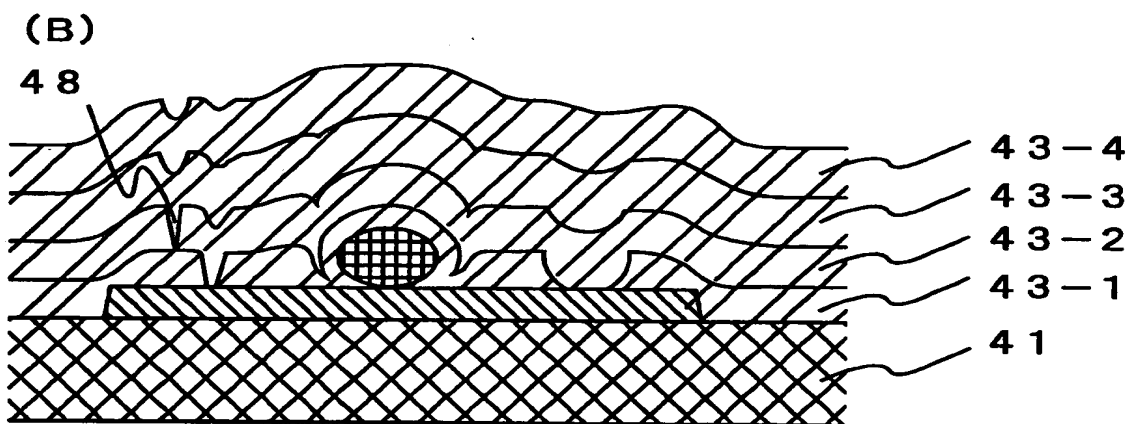
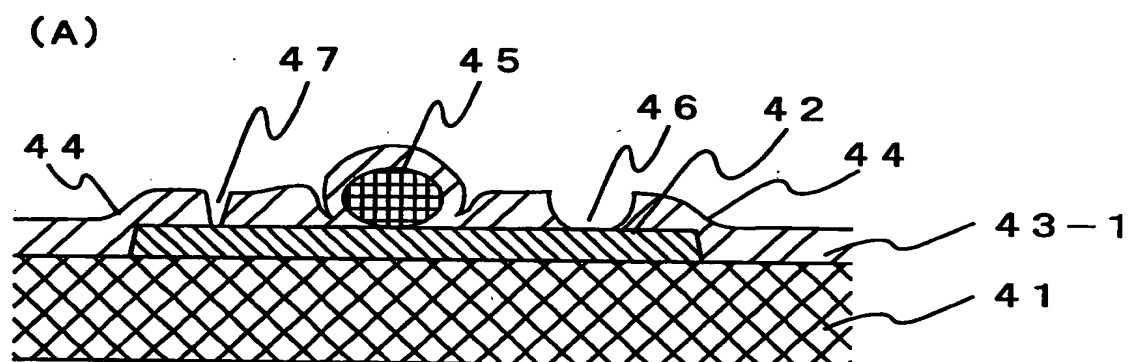
【図 2】



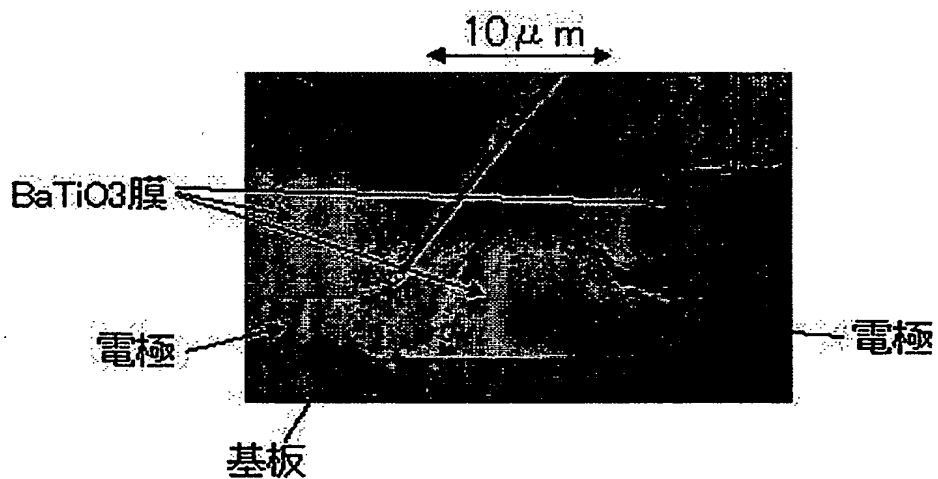
【図3】



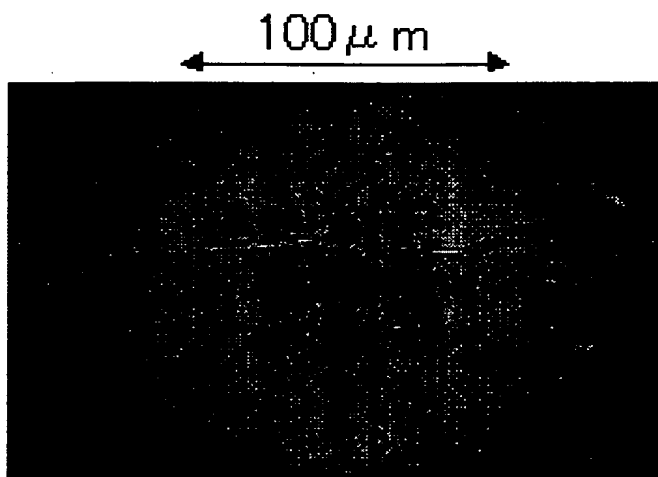
【図 4】



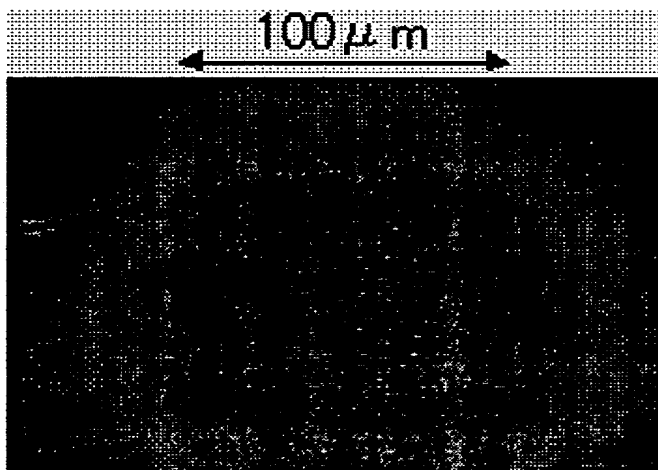
【図 5】



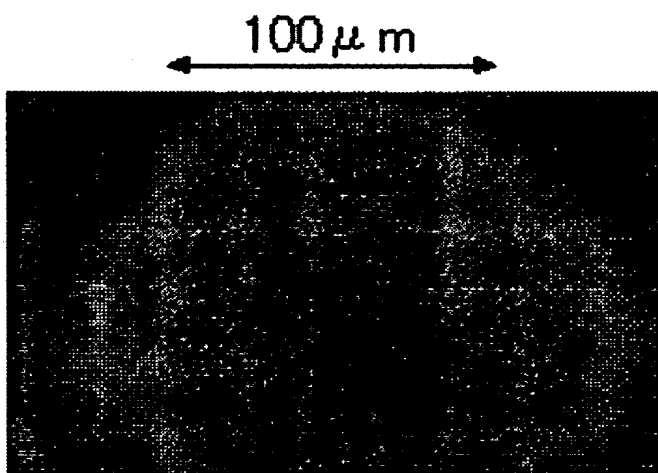
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 誘電体層の非平坦部を改善するとともに表面を平滑化し、高い表示品質が得られる薄膜EL素子とその製造方法を高コスト化することなく提供する。

【解決手段】 電気絶縁性を有する基板（11）上に、所定のパターンを有する下部電極層（12）と、その上に溶液塗布焼成法を複数回繰り返すことによって形成された多層状誘電体層（13）と、さらに誘電体層上に発光層（14）、薄膜絶縁体層（15）、透明電極層（16）が積層され、前記多層状誘電体層の膜厚が前記電極層の膜厚の4倍以上であり、かつ、前記多層状誘電体層の膜厚が4  $\mu$  m以上16  $\mu$  m以下とする。

【選択図】

図1



認定・付加情報

特許出願の番号	特願2000-299352
受付番号	50001265899
書類名	特許願
担当官	小池 光憲 6999
作成日	平成12年10月 3日

<認定情報・付加情報>

【特許出願人】	申請人
【識別番号】	000003067
【住所又は居所】	東京都中央区日本橋1丁目13番1号
【氏名又は名称】	ティーディーケー株式会社

出 願 人 履 歴 情 報

識別番号 [000003067]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都中央区日本橋1丁目13番1号

氏 名 ティーディーケイ株式会社